

スプリアスと DDS/DAC やその他の発生源（スイッチング電源など）との 関係の判定

著者：David Brandon

はじめに

ダイレクト・デジタル・シンセサイザ (DDS) が、優れた残留位相ノイズ特性を持つ周波数追従型のトーンを生成できることはよく知られています。さらに、位相切捨てスプリアスや、位相／振幅変換プロセスに関連するスプリアスなど、DDS 出力スペクトルでのスプリアス・アーチファクトについても、大部分のユーザはよく理解しています。これらのスプリアスは、実際の DDS 設計において位相と振幅の分解能が有限であることによって発生します。

スプリアスには、内蔵 D/A コンバータ (DAC) に関連して発生するものもあります。DAC の出力がサンプリングされることによって、基本波および関連する高調波のイメージ周波数が生成されます。さらに、DAC に関連する理想的とは言えないスイッチング特性によって、低次の高調波ではパワー・レベルが増加することがあります。最後に、システム・クロック周波数の基本波と内部の分周したクロック (アナログ・デバイセズの特定のダイレクト・デジタル・シンセサイザで提供される SYNC_CLK など) との間に生成される混合積も、スプリアスの発生源として挙げられます。

上述のような特定されているスプリアス・アーチファクトの発生源はすべて、DDS/DAC 出力での基本波信号を基準にした周波数オフセットで予測できます。このアプリケーション・ノートは、DDS 出力信号のスペクトルにおけるスプリアスの根本原因の特定に役立ちます。DDS の周波数同調ワードを変更すれば、スプリアスが DDS/DAC に関連するものであるかどうかを簡単に判定できます。これは、同調ワードの変更によって、前述のすべてのスプリアス・アーチファクトが基本波に対する周波数オフセットの方向に移動するためです。

たとえば、24 MHz の基本波には、72 MHz での 3 次高調波があります。DDS のシステム・クロックが 100 MHz である場合は、3 次高調波とシステム・クロックにより 28 MHz に高調波が折り返されます (100~72 MHz)。これは、基本波からわずか 4 MHz のオフセットです。基本波が 10 kHz 増えて 24.010 MHz になると、新しい折り返しの結果が基本波から 3.97 MHz 離れた状態になることが、前もって予測できます。

基本波を基準にしたスプリアスの周波数オフセットが、周波数同調ワードと関係なく一定である場合は、スプリアスの原因は DDS/DAC ではありません。逆に、基本波を基準にしたスプリアスの周波数オフセットが DDS 同調ワードとともに変化する場合は、スプリアスの原因は DDS/DAC であると考えられます。スプリアスの原因を発見しやすくするには、周波数同調ワードの変化に、周波数同調ワードの切捨て部分と非切捨て部分の両方の変化を含めるようにします。一般に、切捨て部分の範囲は同調ワードの 14~19 ビット (MSB) です。

DDS の周波数同調ワードが変化しても基本波 (キャリア) を基準にした周波数オフセットが変化しないスプリアスは、何らかの理由により DDS 電源に結合されているものであるか、あるいは DDS を駆動する基準クロック源上の成分であるかのいずれかの場合がほとんどです。

なお、DDS の内部基準クロック乗算器 (PLL) がイネーブルにされている場合は、DDS 出力にも、基準クロック周波数と等しい周波数オフセットにおいて、基本波を基準にして固定されたサイドバンド・スプリアスがあります。

基準クロック源のスプリアス

図 1 は、100 kHz のトーンによる 10% の AM 変調方式の DDS に対する、500 MHz の基準クロックを示します。基準クロック源は、変調機能を備えた Rohde & Schwarz 社の SMA 信号発生器です。図 1 の灰色のパターンは、変調のない基準クロックです。図 2 は同じ 100 kHz のトーンを示していますが、同調ワードの周波数とは無関係に、まったく同じ周波数オフセットで DDS/DAC 出力への転移を行います。図 2 の周波数同調ワードは、互いに重畳された 4 種類の DDS キャリアを示します。基準クロック上のスプリアスの周波数オフセットは、4 つすべてのキャリア変化に対して、周波数オフセットが固定されたままであることを注意してください。ただし、スプリアスの振幅は $20 \log(x)$ の変化に従います。ここで、 x は基準クロック周波数と DDS キャリアの周波数との比です。

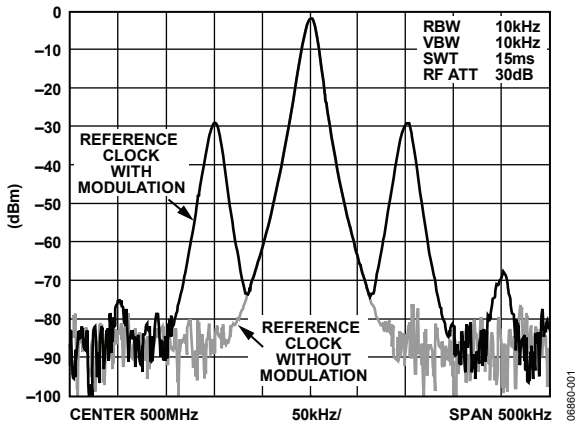


図 1. 100 kHz のトーンによる AM 変調 (10%) 方式の DDS に対する 500 MHz の基準クロックの表示 (青いパターン)

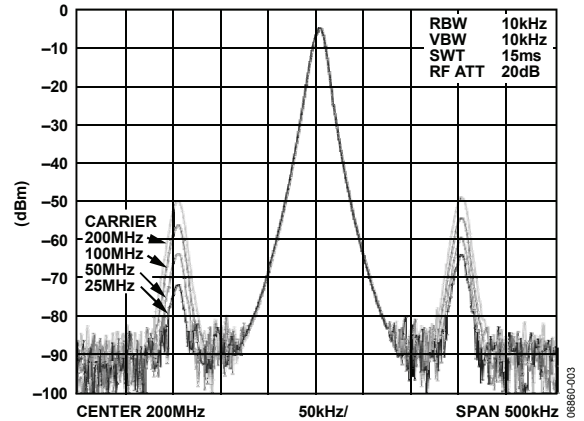


図 3. DDS の電源を AM 変調している 150 kHz のスプリアスの影響を示す 4 つの DDS 出力キャリア

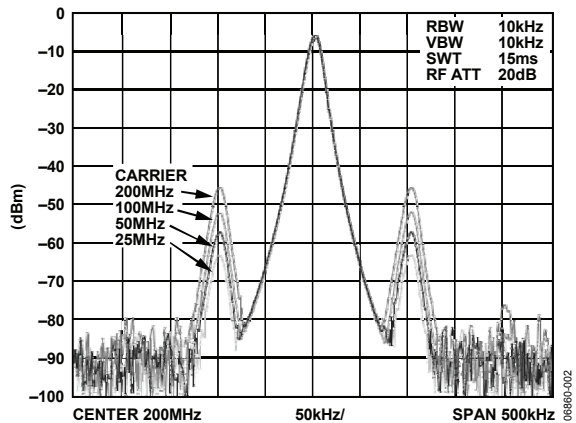


図 2. DDS の基準クロック (500 MHz) を AM 変調している 100 kHz のスプリアスの影響を示す 4 つの DDS 出力キャリア

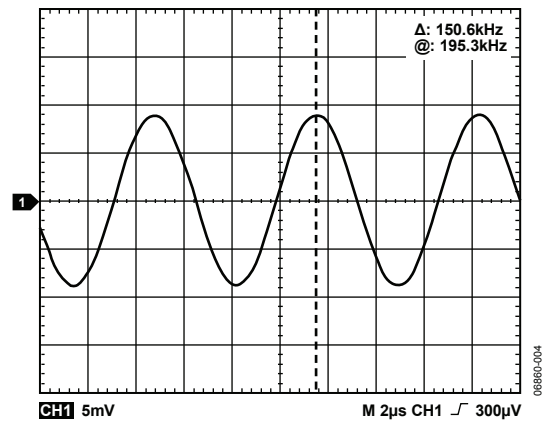


図 4. 波形発生器を介して DDS 電源に印加される 150 kHz のトーン (16 mV p-p)

スイッチング電源のスプリアス

図 3 と図 4 は、DDS 電源上のスプリアス (スイッチング電源など) と DDS 出力との関係を示します。前述のように、これらのスプリアスも、同じキャリア変化を基準にして同じ固定周波数オフセットを保持することに注意してください。図 4 に示す DDS 電源の実際の時間領域ピクチャでは、電源のスイッチング・スプリアスをシミュレートするために DDS 電源に 150 kHz の変調トーンが印加されています。

DDS 基準クロックや電源 (一般には AVDD) 上のスプリアスは、DDS 出力にある程度の影響を与えます。そのため、キャリアが変化しても、キャリア周辺のサイドバンドは固定されます。したがって、同調ワードの変化に基づいて DAC/DDS 出力で固定のスプリアスが観測された場合、基準クロック源と DDS 電源のスプリアスをチェックする必要があります。